

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-148329

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/3205	-		H 01 L 21/88	B
G 09 F 9/30	3 3 8		G 09 F 9/30	3 3 8
H 01 L 21/304	3 2 1		H 01 L 21/304	3 2 1 S
27/12			27/12	C
// G 02 F 1/136	5 0 0		G 02 F 1/136	5 0 0

審査請求 未請求 請求項の数4 OL (全9頁)

(21)出願番号	特願平8-241939
(22)出願日	平成8年(1996)9月12日
(31)優先権主張番号	特願平7-236865
(32)優先日	平7(1995)9月14日
(33)優先権主張国	日本 (J P)

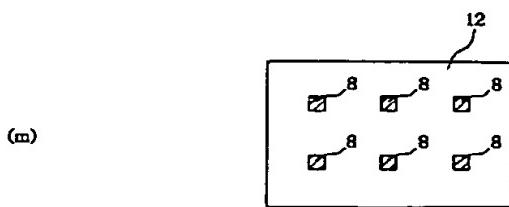
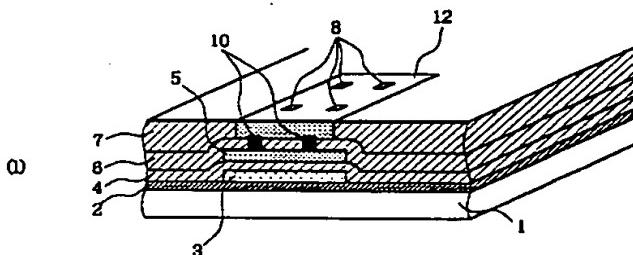
(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(72)発明者	福元 嘉彦 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(74)代理人	弁理士 丸島 優一

(54)【発明の名称】 半導体装置及びアクティブマトリクス基板およびそれらの製造方法

(57)【要約】

【課題】 ディッキングの量を小さくした半導体装置及びアクティブマトリクス基板とそれらの製造方法を提供すること。

【解決手段】 半導体領域(3)上に設けられた絶縁層(7)内に、電極もしくは配線として機能する導電性材料からなる領域(12)を配し、前記半導体領域と前記導電性材料からなる領域とを電気的に接続して構成した半導体装置の製造方法において、前記導電性材料からなる領域内に該導電性材料とは異なる領域(8)を配し、前記導電性材料からなる領域を研磨する。



【特許請求の範囲】

【請求項1】 半導体領域上に設けられた絶縁層内に、電極もしくは配線として機能する導電性材料からなる領域を配し、前記半導体領域と前記導電性材料からなる領域とを電気的に接続して構成した半導体装置の製造方法において、前記導電性材料からなる領域内に該導電性材料と異なる領域を配し、前記導電性材料からなる領域を研磨することを特徴とする半導体装置の製造方法。

【請求項2】 複数の信号線と複数の走査線との交差部に対応して設けられ、金属で構成される画素電極、該画素電極に電圧を印加する手段、を有するアクティブマトリクス基板の製造方法において、前記画素電極の領域内に該画素電極を構成する金属と異なる材料で構成された領域を配し、前記画素電極を研磨することを特徴とするアクティブマトリクス基板の製造方法。

【請求項3】 半導体領域上に設けられた絶縁層内に、電極もしくは配線として機能する導電性材料からなる領域を配し、前記半導体領域と前記導電性材料からなる領域とを電気的に接続して構成した半導体装置において、前記導電性材料からなる領域内には該導電性材料とは異なる領域が存在することを特徴とする半導体装置。

【請求項4】 複数の信号線と複数の走査線との交差部に対応して設けられ、金属で構成される画素電極、該画素電極に電圧を印加する手段、を有するアクティブマトリクス基板において、前記画素電極の領域内には該画素電極を構成する金属とは異なる材料で構成された領域が存在することを特徴とするアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電極もしくは配線を工夫した半導体装置及びアクティブマトリクス基板とそれらの製造方法に関する。

【0002】

【従来の技術】 半導体装置には、半導体基板もしくは半導体層と外部とを接続する配線が通常設けられている。このような配線としては、Al（アルミニウム）配線が一般的である。Al配線の例として、'94VLSI Symp.で報告されたCMP（Chemical Mechanical Polishing）を用いたダマシン法によるAl配線もしくはAl電極の形成方法がある。これについて図14を用いて説明する。まず、シリコン基板60上に熱酸化膜61、層間絶縁膜62を形成する（図14（a））。層間絶縁膜62をバーニングし、Al埋め込みパターン63を形成する（図14（b））。スパッタリング法を用いてAl膜64を形成する（図14（c））。このときAl膜64の厚さは、Al埋め込みパターン63の段差よりも大きくなる。次いで、Al膜64をCMP研磨し、Al電極65を形成する（図14（d））。

【0003】

【発明が解決しようとする課題】 しかしながら、上述し

たダマシン法による配線もしくは電極形成においては、実際には図15（e）に示したようにAl電極65の中央部がくぼむディッシングと呼ばれる形状を生ずる。これは、Alに代表されるメタル層とp-SiOに代表される絶縁層におけるCMPの研磨レートの異なる材料が同一の研磨面内に混在する場合、研磨布が変形可能であるため、研磨レートの大きな材料が余分に研磨されて生ずるものである。Alとp-SiOではAlの研磨レートがp-SiOに比べて4～5倍大きいためAl電極65にディッシングが生ずる。このディッシングは、図16に示すようにAl電極の寸法が大きくなるに従い大きくなり、300μmの大きさのAl電極では約3000Åのディッシングが生じる。ワイヤボンディングを行うパッド部のように、数百μmの大きさのAl電極の場合には図15（f）に示すように大きなディッシングによりAl電極65の一部が消失し、ワイヤボンディングが不可能となり、素子の歩留まりを下げる原因ともなっている。また、Al配線においては、ディッシングにより配線抵抗が増大し、素子の特性を劣化させる原因ともなる。

【0004】 本発明の目的は、ディッシングの量を小さくした半導体装置及びアクティブマトリクス基板を提供することにある。

【0005】

【課題を解決するための手段】 上述の目的を達成する本発明の半導体装置とそれらの製造方法は、次のとおりのものである。即ち、本発明の半導体装置の製造方法は、半導体領域上に設けられた絶縁層内に、電極もしくは配線として機能する導電性材料からなる領域を配し、前記半導体領域と前記導電性材料からなる領域とを電気的に接続して構成した半導体装置の製造方法において、前記導電性材料からなる領域内に該導電性材料と異なる領域を配し、前記導電性材料からなる領域を研磨することを特徴とするものである。

【0006】 本発明のアクティブマトリクス基板の製造方法は、次のとおりのものである。即ち、本発明のアクティブマトリクス基板の製造方法は、複数の信号線と複数の走査線との交差部に対応して設けられ、金属で構成される画素電極、該画素電極に電圧を印加する手段、を有するアクティブマトリクス基板の製造方法において、前記画素電極の領域内に該画素電極を構成する金属と異なる材料で構成された領域を配し、前記画素電極を研磨することを特徴とするものである。上記構成の本発明には、上述した技術的課題が解決され、上述した目的が達成される。

【0007】 本発明は、半導体装置あるいはアクティブマトリクス基板をも包含する。すなわち、本発明の半導体装置は、半導体領域上に設けられた絶縁層内に、電極もしくは配線として機能する導電性材料からなる領域を配し、前記半導体領域と前記導電性材料からなる領域

とを電気的に接続して構成した半導体装置において、前記導電性材料からなる領域内には該導電性材料とは異なる領域が存在することを特徴とする。

【0008】また、本発明のアクティブマトリックス基板は、複数の信号線と複数の走査線との交差部に対応して設けられ、金属で構成される画素電極、該画素電極に電圧を印加する手段、を有するアクティブマトリックス基板において、前記画素電極の領域内には該画素電極を構成する金属とは異なる材料で構成された領域が存在することを特徴とする。

【0009】本発明で、導電性材料あるいは画素電極はAlであるのがいい。また、異なる領域あるいは異なる材料は、SiOまたはSiNであるのがいい。

【0010】本発明の半導体装置は、一般のICを含め、表示部と駆動部が一体型の液晶表示装置を含む。また、本発明のアクティブマトリックス基板は、液晶表示装置に用いるもの、DMD(Digital Micro-mirror Device)などの画素電極を振る表示デバイスに用いるものを含む。

【0011】

【発明の実施の形態】図1～図4を参照して説明する。以下、順をおって、本発明の半導体装置を形成する手順について説明する。なお、説明に際して、これらの図においては、半導体装置のワイヤボンディング部であるパッドのみを示しており、トランジスタ部、配線部等は、通常の半導体プロセスを用いて形成するものとする。

【0012】まず、半導体基板1を熱酸化し、厚さ800Å程度のフィールド酸化膜2を形成する。例えば、MOSトランジスタのゲート電極形成と同時にポリシリコン3を厚さ4400Å程度に形成する。ポリシリコン3は、パッド部を後のCMP工程の前に、ウエハ面内で最も高く形成するために設ける。次ぎにBPSG(Boro-Phospho-Silicate Glass)4を厚さ8000Å程度に成膜する(図1(a))。

つぎに、配線材料であるAl(アルミニウム)膜5を形成する(図1(b))。次に、プラズマCVD(Chemical Vaper Deposition)によりp-SiN₆、p-SiO₇を積層する(図1(c))。本願で、p-SiN、p-SiOとは、プラズマCVDで形成したSiN領域SiO領域を表す。次にp-SiO₇をバーニングし、パッド内部に島状の研磨ストップ部8を形成する(図1(d))。バーニングにおけるドエライエッティング、ウエットエッティングの際p-SiN₆はエッティングのストッパー層として機能し、ドライエッティングにおけるp-SiOとの選択比は約3、BF₃(バッファード弗酸)を用いたウエットエッティングにおける選択比は6程度である。スルーホール9を形成する(図2(e))。CVD法を用いてタンクステン膜をスルーホール9内に選択的に堆積させ、タンクステンプラグ10を形成する(図2

(f))。ここではスルーホール9の埋め込みにタンクステンを用いた例を示したが他の金属、例えばAl、Ti等を用いることもできる。スッパタリング法等を用いてAl膜11を形成する(図2(g))。ここでAl膜11の厚さはp-SiO₇の厚さよりも厚くする。次ぎにCMP(chemical mechanical polishing)によりウエハ表面を研磨し、デバイス表面を平坦にすると共に、Al電極12からなるパッド部を他の電極から絶縁する(図2(h))。実際のCMP研磨には、例えば(株)スピードファム製CMP-224 CMP装置、研磨布としてPolitec DG、スラリーとして(株)フジミ製PLANERLITE 5102を用い、例えばスラリー流量100ml/min、PLATEN SPEED/CARRIER SPEEDを40rpm/39rpm、ウエハ押し付け圧力200g/cm²の研磨条件で行うことができる。また、(株)エバラ製作所製EPO-114 CMP装置、研磨布にSUPREME RN-H(D51)、スラリーに(株)フジミ製PLANERLITE 5102を用い、スラリー流量200ml/min、PLATEN SPEED/CARRIER SPEEDを50rpm/49rpm、ウエハ押し付け圧力200g/cm²の条件で研磨を行っても同様の結果が得られる。CMP研磨後の洗浄は、純水を電気分解して作る電解イオン水のpH=7を越える陰極水を用いたメガソニックスピニ洗浄を行った後、PVAのブラシを用いたスクラブ洗浄で行う。上記電解イオン水の陰極水にNH₄OHを0.01ppm加えた洗浄液を用いたメガソニックスピニ洗浄は、更にパーティクル除去の効果が大きい。

【0013】図3(i)は図1(a)の斜視図、図3(j)は図1(b)の斜視図、図3(k)は図1(d)の斜視図、図4(l)は図2(h)の斜視図である。図4(m)は、図2(h)、図4(l)を表面から見た平面図である。図3(k)に示すように研磨ストップ部8は、柱状に形成し、図4(l)、図4(m)に示すようにAl電極12を電気的に分離しないように形成する。

【0014】本形態の特徴点は、パッド部なるAl電極12のパターン内部に、研磨ストップ部8を設けたことであり、これによりCMP研磨時に生ずるAl電極12のディッシングを小さくし、オーバー研磨によるAl電極12の消失を防ぐことができる。即ち、メタルCMPプロセスの歩留まりを向上させることができる。なお、図4(m)においては研磨ストップ部8を正方形としたが、正5角形、正6角形等の正多角形にすることも可能である。Al電極12上の任意の点から研磨ストップ部8、もしくはAl電極12の側壁までの最短の距離は50μm以下とするのが好ましい。

【0015】

【実施例】

(実施例1) 図5および図6を用いて説明する。これら

の図は、図4 (m) と同様にパッド部の平面図である。図5 (a) においては、研磨ストップ部8をストライブ状に形成した。図5 (b) においては、研磨ストップ部8の断面形状を多角形にした。図6 (c) においては、研磨ストップ部8の断面形状を3角形にした。図6 (d) においては、研磨ストップ部8の断面形状を円形あるいは楕円形にした。図6 (e) においては、研磨ストップ部8の断面形状を任意かつ複数の形状とした。図5 (a) ~図6 (e) のいずれの図においても、A1電極12上の任意の点から研磨ストップ部8、もしくはA1電極12の側壁までの最短の距離は50μm以下であることが望ましい。本例の特徴点は研磨ストップ部8の断面形状を任意の形状に形成したことであり、これにより、A1電極12のCMP研磨時のディッシングを小さくし、パッド部A1膜の消失を防ぎ、CMP工程の歩留まりを向上させることができる。

【0016】(実施例2) 図7を用いて説明する。図7は図4 (m) と同じくパッド部の平面図である。図7において、5は下層のA1配線、12は、上層のA1電極である。8は研磨ストップ部、9はA1配線5とA1電極12を電気的に結ぶスルーホールである。本例の特徴は、研磨ストップ部を格子状にし、同一パッド部のA1電極12を複数のセグメントに分離し、各のA1電極12のセグメントをスルーホール9、A1配線によって電気的に結んでいる点である。これによりA1電極12のディッシングをより小さくし、A1電極12の消失が防げるため、CMP工程の歩留まりが向上する。なお、各のA1電極12のセグメントは、複数の任意の形状に形成することができ、A1電極12のセグメント上の任意の点から研磨ストップ部8までの最短の距離は100μm以下とするのが望ましい。

【0017】(実施例3) 図8及び図9を用いて説明する。図8 (a) において、1は半導体基板、2は半導体基板1を熱酸化して形成した熱酸化膜、4はBPSG (Boro-Phospho-Silicate Glass)、20はp-SiOである。p-SiO20をバーニングし、研磨ストップ部8を形成する(図8 (b))。バーニングの際のドライエッティングもしくはウエットエッティングは、時間制御により、所望の深さのパターンを形成する。スパッタリング法等を用いて、A1膜5を形成する(図8 (c))。A1膜5の厚さは図8 (b) で形成したパターンの深さよりも大きく形成する。CMP研磨によりA1配線5を形成する(図8 (d))。なおCMPの研磨条件、洗浄条件は、上述した例と同様とすることができます。p-SiN21を成膜する(図8 (e))。これ以降、第二のA1膜、第三のA1膜等、同様の方法で多層配線を形成することができる。図9 (f) は図8 (b) の斜視図、図9 (g) は図8 (d) の斜視図である。図8 (a) 乃至図8 (d) はダマシン法によるA1配線5の形成方法であり、本例

の特徴はA1配線5の内部に島状の研磨ストップ部8を設けたことである。この研磨ストップ部8は、図9 (f)、図9 (g) に示すように同一のA1配線5を電気的に分離しないように島状に形成され、その断面形状は前述したように、任意の複数の形状に形成することができる。この研磨ストップ部8の配置方法は、A1配線5上の任意の点から研磨ストップ部8、あるいはA1電極5側壁までの最短の距離が10μm以下となるように配置するのが望ましい。以上の工程によりA1配線5のCMP研磨によるディッシングを200Å以下に押さええることができる。これによりディッシングによる配線抵抗の増大と、配線抵抗のバラツキを抑えることができる。また、デバイスの安定化、高歩留まりが実現できる。

【0018】(実施例4) 図10~図13を用いて、以下、順を追って説明する。図10 (a) に示されるように、2.0~3.0Ω·cmのN型シリコン基板30を熱酸化し、厚さ7000Åの熱酸化膜を形成した後、BHFのウエットエッティングによりP型ウェルのパターンを形成する。P型ウェルのインプラ前にN型Si基板30を500Å熱酸化しP型ウェルバッファー酸化膜を成膜した後、ボロンをドーズ量 $9 \times 10^{12} \text{ cm}^{-2}$ 、加速電圧60KeVでイオン注入する。31と32の熱酸化膜をBHFを用いたエッティングにより除去した後、1150℃、840minのアーナーによりP型ウェル33を形成する(図10 (b))。Si基板30を熱酸化し、350Åの熱酸化膜34を形成後、低圧CVD法によりSiN膜35を形成する。ドライエッティングによりSiN膜35をバーニング後、Si基板30の熱酸化により8000Åのフィールド酸化膜を形成する(図10 (c))。SiN膜35を熱リン酸を用いたウエットエッティングにより除去後、厚さ350Åのバッファー熱酸化膜を形成する。次いで厚さ700Åのpoly-Si38を形成する。レジスト39のバーニングにより、後に薄膜トランジスタ(TFT)を形成するpoly-Si38の部分にのみBF₂をドーズ量 $1 \times 10^{12} \text{ cm}^{-2}$ 、加速電圧35KeVでイオン注入する。レジスト除去後、1100℃で60minアーナーを行う(図10 (d))。poly-Si38をバーニング後、バッファー酸化膜37をBHFを用いたエッティングにより除去し、850Åのゲート酸化膜を形成する。

【0019】poly-Siのゲート電極40を形成後、イオン注入によりNLD41、NSD42、PLD43、PSD44を形成する。各の拡散層の形成における、ドーズ量/加速電圧は、NLD41がPを $1 \times 10^{13} \text{ cm}^{-2} / 95 \text{ KeV}$ 、NSD42がPを $5 \times 10^{15} \text{ cm}^{-2} / 95 \text{ KeV}$ 、PLD43がBを $1.5 \times 10^{12} \text{ cm}^{-2} / 40 \text{ KeV}$ 、PSD44がBを $3 \times 10^{15} \text{ cm}^{-2} / 100 \text{ KeV}$ であり、全イオン注入後、950℃、60minのアーナーにより拡散層を活性化させる(図1

0 (e)）。BPSG45を7000Å成膜後、BPSG45にコンタクトホールをバーニング形成し、Al膜46を成膜、Al配線46をバーニング形成する(図11(f))。Al配線46の構成は、Ti1000Å/TiN2000Å/AlSi4000Å/TiN1000Åとなっており、Al配線46のシート抵抗は0.1Ω/□以下となっている。層間絶縁膜47を1000Å、P-SiN48を2700Å成膜する(図11(g))。層間絶縁膜47は、P-SiO4000Å/SOG2000Å/P-SiO4000Åの構成となっており、SOGには、東京応化工業(株)製T-10を用い、段差を緩和した。Ti49を3000Å成膜し、バーニング後P-SiN50を3000Å、P-SiO51を1000Å形成する(図11(h))。p-SiO51をバーニングし、CMP研磨のストップ部52とダマシン法によりAlが残る部分53を形成する。次いで、スルーホール54をバーニング形成する(図12(i))。スルーホール54をCVD法によるタンクステン膜により選択的に埋め込みタンクステンプラグ55を形成した。スパッタリング法によりAl電極56を10000Å以上研磨することによりAl電極56の電極を形成する(図12(j))。CMP研磨条件と、CMP研磨後の洗浄条件は上述の実施例と同じである。また、タンクステンプラグ55は、アルミニウム等の他の金属で置き換えることもできる。

【0020】図13(k)は、図12(j)のAl電極56部分の斜視図である。この部分は反射型液晶ディスプレイの画像表示部に相当する。本例の特徴点は、反射型液晶ディスプレイの反射電極であるAl電極56の内部にCMPの研磨ストップ部52を設けたことにある。これによりAl電極56のディッシング量を小さくすることができる。このため反射電極であるAl電極56に入射した光は同一方向に反射され、反射型液晶ディスプレイの輝度及びコントラストの向上が図れる。図13(k)で示した画素電極基板は、所謂アクティブマトリックス基板であり、トランジスタのソースには信号線が、ゲートには走査線が接続され、画素電極である反射電極は、トランジスタのドレインに接続されている。そして反射電極の内部には研磨ストップ部52が設けられている。即ち、図13(k)に示したアクティブマトリックス基板は、要するに、複数の信号線と複数の走査線との交差部に対応して設けられた画素電極、該画素電極に電圧を印加する手段、を有するアクティブマトリックス基板であって、前記画素電極の領域内には該画素電極を構成する金属とは異なる材料で構成された領域が存在させるようとしてある。なお、研磨ストップ部52の断面形状は、前述の実施例でも示したように任意の形状とることができ、また研磨ストップ部52をAl電極56内部に複数個形成することもできる。任意のAl電極56上の点から最短の研磨ストップ部52もしくはAl電極5

6の側壁までの距離を10μm以下とすることにより、ディッシングの量を100Å以下にすることができる。なお、本例では画素表示部のスイッチングトランジスタをTFTで構成したが、Si基板30に拡散層を形成して構成されるトランジスタを用いることもできる。本例の説明には、液晶材料を用いた表示装置を例に挙げたが、本発明の適用はこれに限られるものではなく、ミラー電極(反射電極)の角度を電圧により変化させる装置の電極、パッド構造等にも適用できる。

【0021】

【発明の効果】以上、詳細に説明したとおり、本発明の半導体装置及びアクティブマトリックス基板の製造方法は、電極もしくは配線のディッシングを小さく抑えることができる。これにより、配線については、配線抵抗のバラツキが極めて低く抑えられるため、半導体装置の特性は非常に優れたものとなる。また、電極についても、極めて平面に近いものとなるため、本発明のアクティブマトリックス基板の製造方法は、表示画像の輝度向上と、コントラスト向上を実現させるものとなる。

【0022】また、本発明の半導体装置及びアクティブマトリックス基板は配線については、配線抵抗のきわめて小さいものになり電極については平面に近いものになり表示画像の輝度が向上する。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造工程の一例を示す模式図である。

【図2】本発明の半導体装置の製造工程の一例を示す模式図である。

【図3】本発明の半導体装置の製造工程の一例を示す模式図である。

【図4】本発明の半導体装置の製造工程の一例を示す模式図である。

【図5】本発明の半導体装置の製造工程の一例を示す模式図である。

【図6】本発明の半導体装置の製造工程の一例を示す模式図である。

【図7】本発明の半導体装置の製造工程の一例を示す模式図である。

【図8】本発明の半導体装置の製造工程の一例を示す模式図である。

【図9】本発明の半導体装置の製造工程の一例を示す模式図である。

【図10】本発明のアクティブマトリックス基板の製造工程の一例を示す模式図である。

【図11】本発明のアクティブマトリックス基板の製造工程の一例を示す模式図である。

【図12】本発明のアクティブマトリックス基板の製造工程の一例を示す模式図である。

【図13】本発明のアクティブマトリックス基板の製造工程の一例を示す模式図である。

【図14】従来の半導体装置の製造工程の一例を示す模式図である。

【図15】従来の半導体装置の製造工程の一例を示す模式図である。

【図16】従来の半導体装置におけるディッキング量を示すグラフである。

【符号の説明】

- 1 半導体基板
- 2 フィールド酸化膜
- 3 ポリシリコン

4 BPSG

5 Al膜

6 p-SiN

7 p-SiO

8 研磨ストップ部

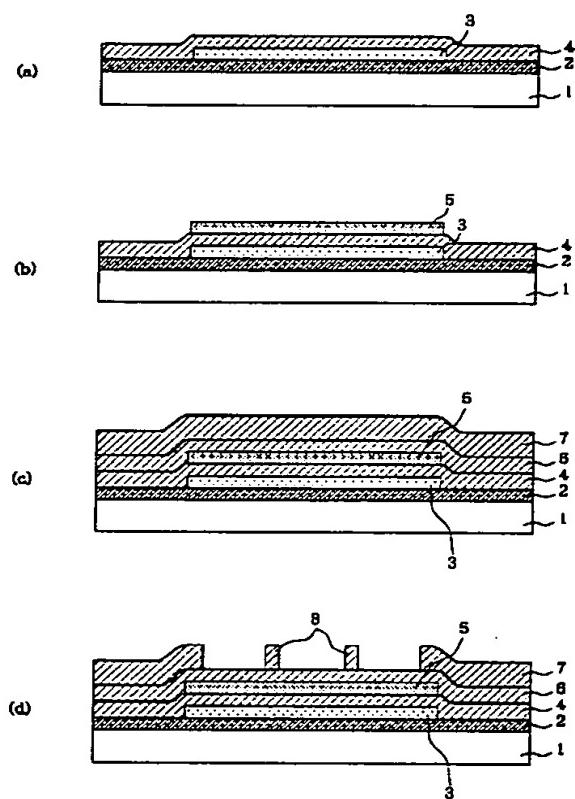
9 スルーホール

10 タングステンプラグ

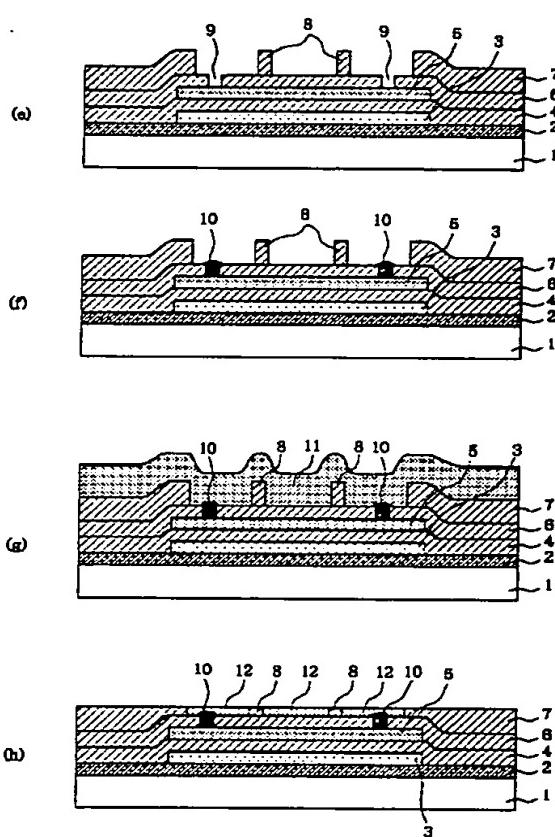
11 Al膜

12 Al電極

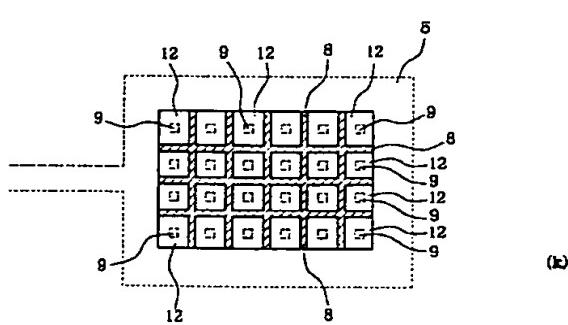
【図1】



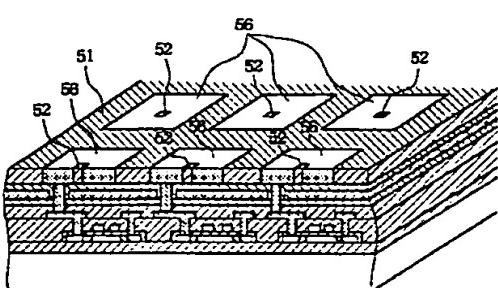
【図2】



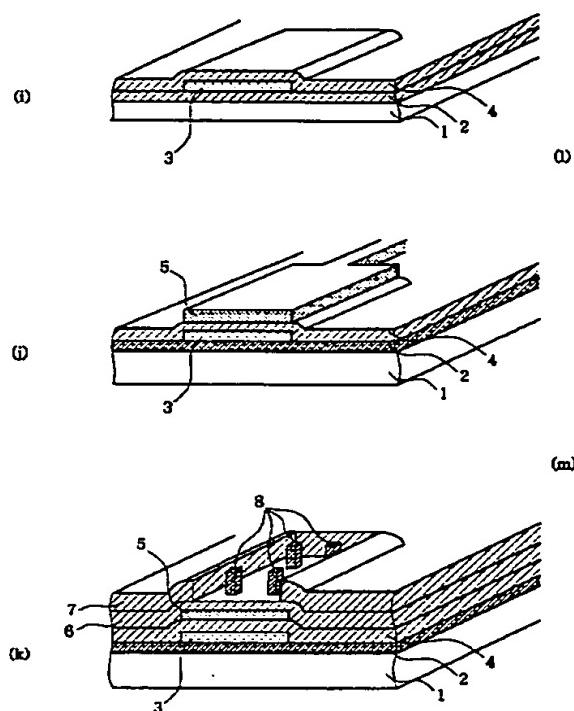
【図7】



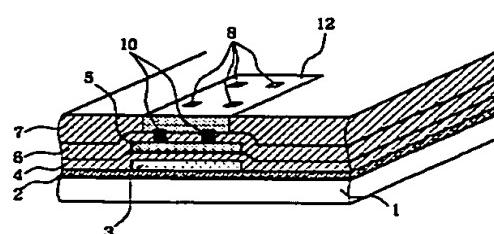
【図13】



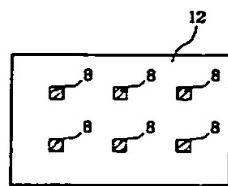
【図3】



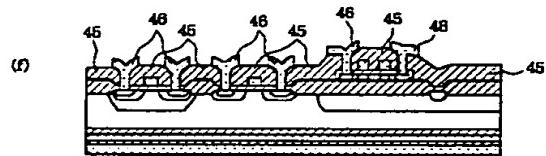
【図4】



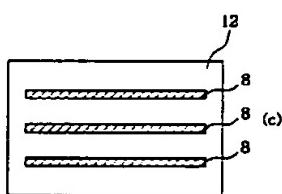
(d)



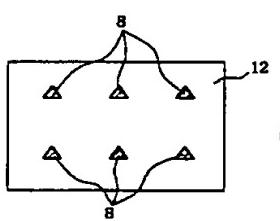
【図11】



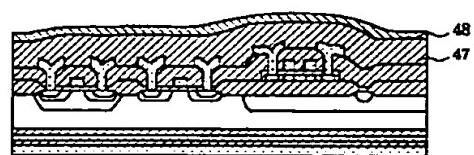
【図5】



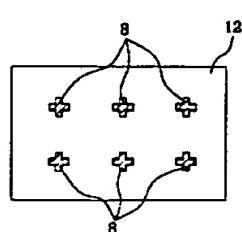
【図6】



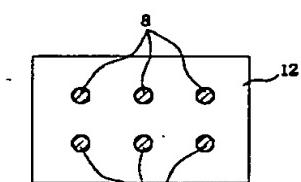
(e)



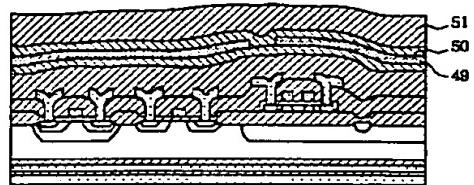
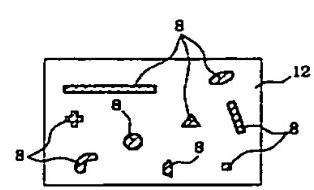
(a)



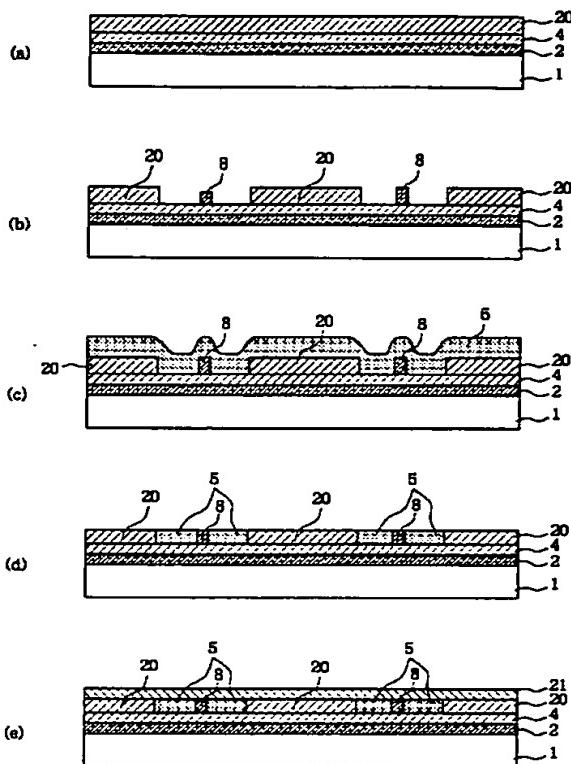
(d)



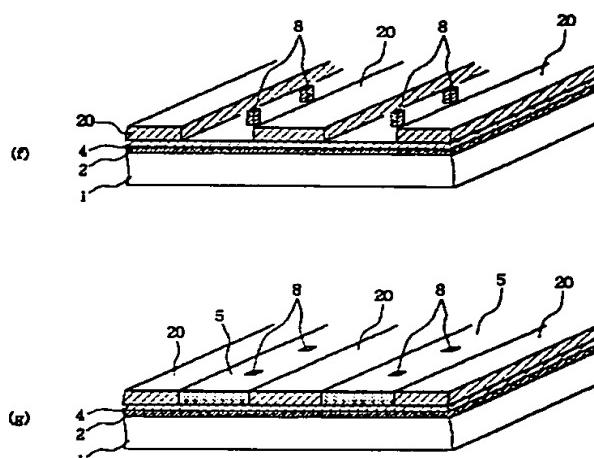
(d)



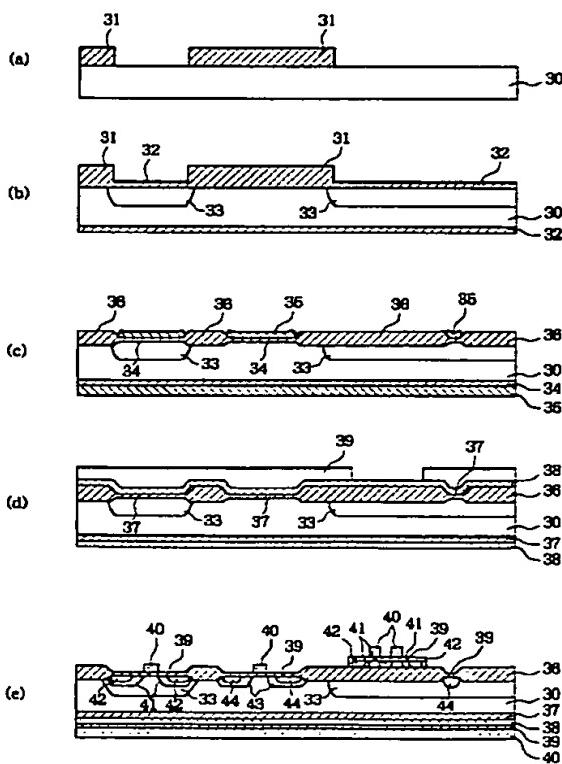
[图 8]



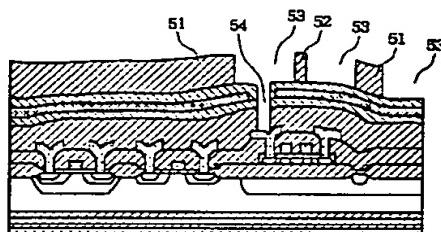
[图9]



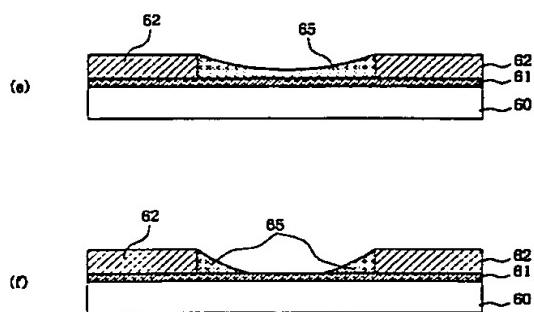
(10)



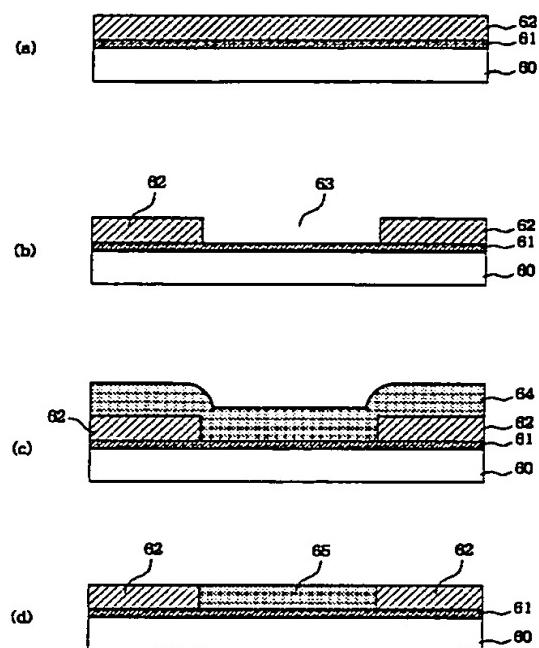
【图 12】



〔四〕



【図14】



【図16】

